

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 11238742
PUBLICATION DATE : 31-08-99

APPLICATION DATE : 23-02-98
APPLICATION NUMBER : 10040550

APPLICANT : DENSO CORP;

INVENTOR : RAJESH KUMAR;

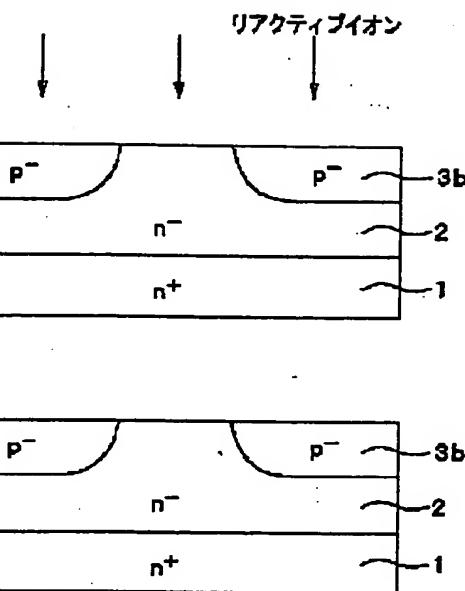
INT.CL. : H01L 21/336 H01L 29/78

TITLE : MANUFACTURE OF SILICON CARBIDE SEMICONDUCTOR DEVICE

ABSTRACT : PROBLEM TO BE SOLVED: To realize high mobility in a planar MOSFET.

SOLUTION: Prior to epitaxial growth of a surface channel layer on an n⁻ type silicon carbide epitaxial layer 2 and p⁻ type silicon carbide base regions 3a and 3b, the base regions 3a, 3b and epitaxial layer 2 are subjected thereon to RIE a reactive ion etching, and further subjected thereon to a heat treatment etching process in a hydrogen atmosphere. Thereby the surface of a wafer for epitaxial growth of the surface channel layer can be made in a satisfactory condition, and the crystallization of the surface channel layer can be made satisfactory. As a result, the channel modality of the surface channel layer can be improved, and the mobility of a planar power MOSFET can be made high.

COPYRIGHT: (C)1999,JPO



THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-238742

(43)公開日 平成11年(1999)8月31日

(51)Int.Cl.
H 01 L 21/336
29/78

識別記号

F I
H 01 L 29/78

658 E
652 E

審査請求 未請求 請求項の数2 OL (全8頁)

(21)出願番号 特願平10-40550

(22)出願日 平成10年(1998)2月23日

(71)出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72)発明者 齊藤 剛

愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

(72)発明者 ラジェシュ クマール

愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

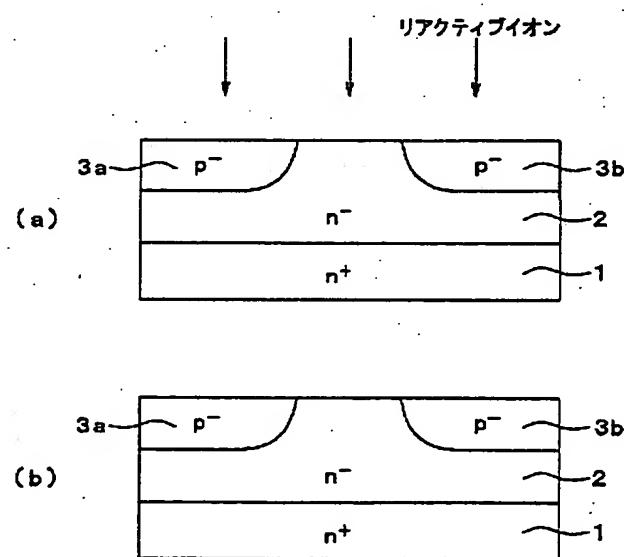
(74)代理人 弁理士 伊藤 洋二 (外1名)

(54)【発明の名称】炭化珪素半導体装置の製造方法

(57)【要約】

【課題】プレーナ型MOSFETにおける高移動度化を図る。

【解決手段】n⁻型炭化珪素エピ層2及びp⁻型炭化珪素ベース領域3a、3bの上部に表面チャネル層をエピタキシャル成長させる前に、p⁻型炭化珪素ベース領域3a、3b及びn⁻型炭化珪素エピ層2の表面をRIEによってエッティングし、さらにp⁻型炭化珪素ベース領域3a、3b及びn⁻型炭化珪素エピ層2の表面を水素雰囲気中の熱処理によってエッティングする。これにより、表面チャネル層をエピタキシャル成長させるウェハ表面の状態を良好にすることができ、表面チャネル層の結晶性を良好にすることができる。このため、表面チャネル層のチャネル移動度を向上することができ、プレーナ型パワーMOSFETの高移動度化を図ることができ



【特許請求の範囲】

【請求項1】 第1導電型の半導体基板(1)の主表面上に、この半導体基板(1)よりも高抵抗な炭化珪素よりもなる第1導電型の半導体層(2)を形成する工程と、前記半導体層(2)の表層部の所定領域に、所定深さを有する第2導電型のベース領域(3a、3b)をイオン注入によって形成する工程と、前記ベース領域(3a、3b)及び前記半導体層(2)の表面をRIE(Riactive Ion Etching)によってエッチングする工程と、前記ベース領域(3a、3b)及び前記半導体層(2)の表面を水素雰囲気中の熱処理によってエッチングする工程と、前記半導体層(2)及び前記ベース領域(3a、3b)の上部に表面チャネル層(5)をエピタキシャル成長させる工程と、前記ベース領域(3a、3b)の表層部の所定領域に、前記表面チャネル層(5)に接すると共に該ベース領域(3a、3b)の深さよりも浅い第1導電型のソース領域(4a、4b)を形成する工程とを備えた炭化珪素半導体装置の製造方法。

【請求項2】 第1導電型の半導体基板(1)の主表面上に、この半導体基板(1)よりも高抵抗な炭化珪素よりもなる第1導電型の半導体層(2)を形成する工程と、前記半導体層(2)の表層部の所定領域に、所定深さを有する第2導電型のベース領域(3a、3b)をイオン注入によって形成する工程と、前記ベース領域(3a、3b)及び前記半導体層(2)の表面をRIEによってエッチングする工程と、前記ベース領域(3a、3b)及び前記半導体層(2)の表面に犠牲酸化膜(3c)を形成する工程と、前記犠牲酸化膜(3c)を除去する工程と、前記半導体層(2)及び前記ベース領域(3a、3b)の上部に表面チャネル層(5)をエピタキシャル成長させる工程と、前記ベース領域(3a、3b)の表層部の所定領域に、前記表面チャネル層(5)に接すると共に該ベース領域(3a、3b)の深さよりも浅い第1導電型のソース領域(4a、4b)を形成する工程とを備えた炭化珪素半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、炭化珪素半導体装置の製造方法に関し、特に絶縁ゲート型電界効果トランジスタ、とりわけ大電力用の縦型パワーMOSFETに関するものである。

【0002】

【従来の技術】本出願人は、縦型MOSFETにおいて、チャネル移動度を向上させてオン抵抗を低減させたものを、特願平9-259076号で出願している。こ

の縦型MOSFETのうち、プレーナ型MOSFETを例として、その断面図を図4に示し、この図に基づいてプレーナ型縦型MOSFETの構造について説明する。

【0003】 n^+ 型炭化珪素半導体基板1は上面を主表面1aとし、主表面の反対面である下面を裏面1bとしている。この n^+ 型炭化珪素半導体基板1の主表面1a上には、基板1よりも低いドーパント濃度を有する n^- 型炭化珪素エピタキシャル層(以下、 n^- 型炭化珪素エピ層という)2が積層されている。このとき、 n^+ 型炭化珪素半導体基板1および n^- 型炭化珪素エピ層2の上面を(0001)Si面としているが、 n^+ 型炭化珪素半導体基板1および n^- 型炭化珪素エピ層2の上面を(112-0)a面としてもよい。つまり、(0001)Si面を用いると低い表面状態密度が得られ、(112-0)a面を用いると、低い表面状態密度で、かつ完全にらせん転位の無い結晶が得られるためである。また、このとき、当然ながら、 n^- 型炭化珪素エピ層2の高品質成長のために、3°～10°程度の傾斜を設けたオフ基板を用いてもよい。

【0004】 n^- 型炭化珪素エピ層2の表層部における所定領域には、所定深さを有する p^- 型炭化珪素ベース領域3aおよび p^- 型炭化珪素ベース領域3bが離間して形成されている。また、 p^- 型炭化珪素ベース領域3aの表層部における所定領域には、ベース領域3aよりも浅い n^+ 型ソース領域4aが、また、 p^- 型炭化珪素ベース領域3bの表層部における所定領域には、ベース領域3bよりも浅い n^+ 型ソース領域4bがそれぞれ形成されている。

【0005】さらに、 n^+ 型ソース領域4aと n^+ 型ソース領域4bとの間ににおける n^- 型炭化珪素エピ層2および p^- 型炭化珪素ベース領域3a、3bの表面部には n^- 型SiC層5が延設されている。つまり、 p^- 型炭化珪素ベース領域3a、3bの表面部においてソース領域4a、4bと n^- 型炭化珪素エピ層2とを繋ぐよう n^- 型SiC層5が配置されている。

【0006】この n^- 型SiC層5は、エピタキシャル成長にて形成されたものであり、エピタキシャル膜の結晶が4H、6H、3Cのものを用いる。尚、エピタキシャル層は下地の基板に関係なく各種の結晶を形成できるものである。この n^+ 型SiC層5は、デバイスの動作時にデバイス表面においてチャネル形成層として機能する。以下、この n^- 型SiC層5を表面チャネル層という。

【0007】表面チャネル層5のドーパント濃度は、 $1 \times 10^{15} \text{ cm}^{-3}$ ～ $1 \times 10^{17} \text{ cm}^{-3}$ 程度の低濃度となっており、かつ、 n^- 型炭化珪素エピ層2及び p^- 型炭化珪素ベース領域3a、3bのドーパント濃度以下となっている。これにより、低オン抵抗化が図られている。また、 p^- 型炭化珪素ベース領域3a、3b、 n^+ 型ソース領域4a、4bの表面部には凹部6a、6bが形成さ

れている。

【0008】表面チャネル層5の上面およびn⁺型ソース領域4a、4bの上面にはゲート絶縁膜(シリコン酸化膜)7が形成されている。さらに、ゲート絶縁膜7の上にはポリシリコンゲート電極8が形成されており、このポリシリコンゲート電極8はLTO(Low Temperature Oxide)からなる絶縁膜9にて覆われている。その上にはソース電極10が形成され、ソース電極10はn⁺型ソース領域4a、4bおよびp⁻型炭化珪素ベース領域3a、3bと接している。また、n⁺型炭化珪素半導体基板1の裏面1bには、ドレン電極11が形成されている。

【0009】次に、図4に示すプレーナ型パワーMOSFETの製造工程を、図5～図7を用いて説明する。

〔図5(a)に示す工程〕まず、n型4Hまたは6Hまたは3C-SiC基板、すなわちn⁺型炭化珪素半導体基板1を用意する。ここで、n⁺型炭化珪素半導体基板1はその厚さが400μmであり、主表面1aが(0001)Si面、又は、(112-0)a面である。この基板1の主表面1aに厚さ9μmのn⁺型炭化珪素エビ層2をエピタキシャル成長する。本例では、n⁺型炭化珪素エビ層2はト地の基板1と同様の結晶が得られ、n型4Hまたは6Hまたは3C-SiC層となる。

【0010】〔図5(b)に示す工程〕n⁺型炭化珪素エビ層2の表面を研磨したのち、この上の所定領域にLTO膜20を配置し、これをマスクとしてB⁺(若しくはアルミニウム)をイオン注入して、p⁻型炭化珪素ベース領域3a、3bを形成する。このときのイオン注入条件は、温度が700°Cで、ドーズ量が1×10¹⁶cm⁻²としている。

【0011】〔図5(c)に示す工程〕LTO膜20を除去した後、エピタキシャル成長法によって、n⁺型炭化珪素エビ層2の表面部及びp⁻型炭化珪素ベース領域3a、3bの上部に表面チャネル層5を成長させる。このとき、プレーナ型パワーMOSFETをノーマリオフ型にするために、表面チャネル層5の厚み(膜厚)は所望の厚みとしている。

【0012】〔図6(a)に示す工程〕表面チャネル層5の上の所定領域にLTO膜21を配置し、これをマスクとしてN⁺をイオン注入し、n⁺型ソース領域4a、4bを形成する。このときのイオン注入条件は、700°C、ドーズ量は1×10¹⁵cm⁻²としている。

〔図6(b)に示す工程〕そして、LTO膜21を除去した後、フォトレジスト法を用いて表面チャネル層5の上の所定領域にLTO膜22を配置し、これをマスクとしてRIEによりp⁻型炭化珪素ベース領域3a、3b上の表面チャネル層5を部分的にエッチング除去する。

【0013】〔図6(c)に示す工程〕さらに、LTO膜22をマスクにしてB⁺をイオン注入し、ディープベース層30a、30bを形成する。これにより、ベース

領域3a、3bの一部が厚くなつたものとなり、ディープベース層30a、30b下のn⁺型炭化珪素エビ層2における厚さが薄くなつて、電界強度を高くすることができるため、この部分でアバランシェブレークダウンし易くなり、耐圧を向上させることができる。

【0014】このディープベース層30a、30bは、n⁺型ソース領域4a、4bに重ならない部分に形成されると共に、p⁻型炭化珪素ベース領域3a、3bのうちディープベース層30a、30bが形成された厚みが厚くなつた部分が、ディープベース層30aが形成されていない厚みの薄い部分よりも不純物濃度が濃く形成される。

【0015】〔図7(a)に示す工程〕LTO膜22を除去した後、基板の上にウェット酸化によりゲート絶縁膜(ゲート酸化膜)7を形成する。このとき、雰囲気温度は1080°Cとする。その後、ゲート絶縁膜7の上にポリシリコンゲート電極8をLPCVDにより堆積する。このときの成膜温度は600°Cとする。

【0016】〔図7(b)に示す工程〕引き続き、ゲート絶縁膜7の不要部分を除去した後、LTOよりなる絶縁膜9を形成しゲート絶縁膜7を覆う。より詳しくは、成膜温度は425°Cであり、成膜後に1000°Cのアニールを行う。このとき、アニール雰囲気ガスはH₂、N₂若しくはArのいずれかとする。

【0017】〔図7(c)に示す工程〕そして、室温での金属スパッタリングによりソース電極10及びドレン電極11を配置する。また、成膜後に1000°Cのアニールを行う。このようにして、図1に示す縦型パワーMOSFETが完成する。次に、このパワープレーナ型MOSFETの作用(動作)を説明する。

【0018】上記MOSFETは蓄積モードで動作する。表面チャネル層5において、キャリアはp⁻型炭化珪素ベース領域3a、3bと表面チャネル層5との間の静電ポテンシャルの差、及び表面チャネル層5とポリシリコンゲート電極8との間の仕事関数の差により生じた電位によって空乏化される。このため、ポリシリコンゲート電極8に印加する電圧を調整することにより、表面チャネル層5とポリシリコンゲート電極8との間の仕事関数の差と、外部からの印加電圧により生じる電位差を変化させ、チャネルの状態を制御することでMOSFETのオン、オフを制御する。

【0019】具体的には、オフ状態において、空乏領域は、p⁻型炭化珪素ベース領域3a、3b及びポリシリコンゲート電極8により作られた電界によって、表面チャネル層5内に形成されているため、ポリシリコンゲート電極8に対して正のバイアスを供給することによって、ゲート絶縁膜(SiO₂)7と表面チャネル層5との間の界面においてn⁺型ソース領域4a、4bからn⁻型ドリフト領域2方向へ延びるチャネル領域を形成し、オン状態にスイッチングさせる。

【0020】このとき、電子は、 n^+ 型ソース領域4a、4bから表面チャネル層5を経由し表面チャネル層5からJ F E T部を含む n^- 型炭化珪素エビ層2に流れる。そして、 n^- 型炭化珪素エビ層（ドリフト領域）2に達すると、電子は、 n^+ 型炭化珪素半導体基板（ n^+ ドレイン）1へ垂直に流れる。このようにゲート電極8に正の電圧を印加することにより、表面チャネル層5に蓄積型チャネルを誘起させ、ソース電極10とドレイン電極11との間に電流を流す。

【0021】このように、ブレーナ型MOSFETにおいて、動作モードをチャネル形成層の導電型を反転させることなくチャネルを誘起する蓄積モードとして、導電型を反転させる反転モードのMOSFETに比べ、チャネル移動度を大きくしてオン抵抗を低減せざるようしている。

【0022】

【発明が解決しようとする課題】上記図1に示したブレーナ型MOSFETにおいて、チャネル領域を構成する表面チャネル層5はエピタキシャル成長によって形成される。しかしながら、このエピタキシャル成長を行うウェハ表面（ n^- 型炭化珪素エビ層2及び p^- 型炭化珪素ベース領域3a、3bの表面）は、研磨や p^- 型炭化珪素ベース領域3a、3bを形成するためのイオン注入によってエビ表面にダメージを受けているため、結晶性が良質なものにならない（エビ表面層にイオン注入時のエネルギー集中が起こり結晶性が悪くなる）ことが判つた。

【0023】このため、F E T動作特性において、チャネル移動度が低下するという問題が発生することが判つた。本発明は上記点に鑑みて成され、ブレーナ型MOSFETにおける高移動度化を図ることを目的とする。

【0024】

【課題を解決するための手段】上記目的を達成するため、以下の技術的手段を採用する。請求項1に記載の発明においては、半導体層（2）及び前記ベース領域（3a、3b）の上部に表面チャネル層（5）をエピタキシャル成長させる工程の前に、ベース領域（3a、3b）及び前記半導体層（2）の表面をR I E（R i active Ion Etching）によってエッティングする工程と、ベース領域（3a、3b）及び半導体層（2）の表面を水素雰囲気中の熱処理によってエッティングする工程とを行うことを特徴としている。

【0025】このように、ベース領域（3a、3b）及び前記半導体層（2）の表面をR I Eによってエッティングすれば、該表面の凹凸部分やベース領域（3a、3b）を形成する際ににおけるイオン注入による半導体層（2）の表面のダメージ部分を除去でき、さらに該表面を水素雰囲気中の熱処理によってエッティングすれば、R I Eによるダメージ部分を除去することができる。

【0026】このため、表面チャネル層（5）をエピタ

キシャル成長させる前に、成長させるウェハ表面の状態を良好にすることができ、表面チャネル層（5）の結晶性を良好にすることができる。これにより、表面チャネル層（5）のチャネル移動度を向上することができ、ブレーナ型パワーMOSFETの高移動度化を図ることができる。

【0027】なお、請求項2に示すように、ベース領域（3a、3b）及び前記半導体層（2）の表面をR I Eによってエッティングしたのち、該表面に犠牲酸化膜（3c）を形成し、さらにこの犠牲酸化膜（3c）を除去するようにしても、請求項1と同様の効果を得ることができる。

【0028】

【発明の実施の形態】以下、本発明を図に示す実施形態について説明する。

（第1実施形態）本実施形態に示される縦型パワーMOSFETは、製造方法についてが従来と異なっており、構造については図8に示す縦型パワーMOSFETと同様であるため、製造方法についてのみ説明し、構造についての説明は省略する。なお、本実施形態では、上記図3～図5に示した従来の製造工程に対して後述する製造工程を附加したのもであるため、上記と同様の部分については図5～図7を参照し、附加した部分のみについて説明する。

【0029】まず、上記と同様に図5（a）、図5（b）に示す工程を行い、 n^- 型炭化珪素エビ層2の所定領域に p^- 型炭化珪素ベース領域3a、3bを形成する。次に、以下に示す製造工程を実施する。

〔図1（a）に示す工程〕まず、LTO膜（低温成長酸化膜）20を除去し、ドライエッティングの1つであるR I E法によってウェハ表面全面（ n^- 型炭化珪素エビ層2及び p^- 型炭化珪素ベース領域3a、3bの表面）を数nm程度、プラズマエッティングする。このとき、R I Eガスとして、SF₆、CF₄、CH₃等のフッ素系ガスのみ、又はフッ素系ガスに水素を付加したもの若しくはフッ素系ガスに酸素を付加したもの用いている。この工程により、ウェハ表面の凹凸や p^- 型炭化珪素ベース領域3a、3bを形成したときにおける表面荒れが除去される。

【0030】〔図1（b）に示す工程〕次に、RCA洗浄したのち、水素雰囲気中で1500℃の熱処理を行う。これにより、R I E法によるエッティング時に生じたダメージがエッティング除去され、ウェハ表面は滑らかで結晶性が良好なものとなる。そして、図5（c）に示す工程を行って、エピタキシャル膜（表面チャネル層）5を成長させる。このとき、上記図1（a）、（b）の工程にて、ウェハ表面は滑らかで結晶性が良好な面状態が良好なものとなっているため、成長するエピタキシャル膜（表面チャネル層）5も結晶性の優れたものとなる。

【0031】具体的に、エピタキシャル膜5の結晶性を

X線にて観察してみたところ、図2(a)に示される従来のものに比して、図2(b)に示される本実施形態におけるものの方がX線ロッキングカーブの特性が良好となっており、結晶性が改善されていることが確認された。この後、さらに図6、図7に示す工程を経てプレーナ型パワーMOSFETを完成させる。このようにして、本実施形態におけるプレーナ型パワーMOSFETが製造される。

【0032】次に、この縦型パワーMOSFETの作用(動作)を説明する。本MOSFETはノーマリオフ型の蓄積モードで動作するものであって、ポリシリコンゲート電極に電圧を印加しない場合は、表面チャネル層5においてキャリアは、p-型炭化珪素ベース領域3a、3bと表面チャネル層5との間の静電ボテンシャルの差、及び表面チャネル層5とポリシリコンゲート電極8との間の仕事関数の差により生じた電位によって全域空乏化される。ポリシリコンゲート電極8に電圧を印加することにより、表面チャネル層5とポリシリコンゲート電極8との間の仕事関数の差と外部からの印加電圧の和により生じる電位差を変化させる。このことにより、チャネルの状態を制御することができる。

【0033】つまり、ポリシリコンゲート電極8の仕事関数を第1の仕事関数とし、p-型炭化珪素ベース領域3a、3bの仕事関数を第2の仕事関数とし、表面チャネル層5の仕事関数を第3の仕事関数としたとき、第1～第3の仕事関数の差を利用して、表面チャネル層5のn型のキャリアを空乏化する様に第1～第3の仕事関数と表面チャネル層5の不純物濃度及び膜厚を設定することができる。

【0034】また、オフ状態において、空乏領域は、p-型炭化珪素ベース領域3a、3b及びポリシリコンゲート電極8により作られた電界によって、表面チャネル層5内に形成される。この状態からポリシリコンゲート電極8に対して正のバイアスを供給すると、ゲート絶縁膜(SiO₂)7と表面チャネル層5との間の界面においてn+型ソース領域4a、4bからn-型ドリフト領域2方向へ延びるチャネル領域が形成され、オン状態にスイッチングされる。このとき、電子は、n+型ソース領域4a、4bから表面チャネル層5を経由し表面チャネル層5からn-型炭化珪素エピ層2に流れる。そして、n-型炭化珪素エピ層2(ドリフト領域)に達すると、電子は、n+型炭化珪素半導体基板1(n+ドレイン)へ垂直に流れる。

【0035】このようにゲート電極8に正の電圧を印加することにより、表面チャネル層5に蓄積型チャネルを誘起させ、ソース電極10とドレイン電極11との間にキャリアが流れる。このとき、上述したように、本実施形態におけるプレーナ型パワーMOSFETは、従来におけるプレーナ型MOSFETに比して表面チャネル層5の結晶性が良好なものとなっている。このため、本実

施形態においては、従来のものよりも表面チャネル層5のチャネル移動度を向上させることができ、高移動度のプレーナ型パワーMOSFETとすることができる。

【0036】具体的に、デバイス作製後のFET動作特性を調べてみたところ、従来のプレーナ型パワーMOSFETがチャネル移動度が40cm²/Vsecであり、本実施形態におけるプレーナ型パワーMOSFETがチャネル移動度が120cm²/Vsecであった。つまり、本実施形態では従来に比してチャネル移動度が3倍に増加しているという結果をしめしている。この結果からも、プレーナ型パワーMOSFETの高移動度化が図れていることが判る。

【0037】このように、表面チャネル層5をエピタキシャル成長させる前に、RIE法によってウェハ表面のダメージ層を除去し、さらにRIEダメージを水素雰囲気における熱処理を施すことによってウェハ表面の状態を良好にすることができ、この上に形成されるエピタキシャル膜(表面チャネル層)5の結晶性を良好にすることができる。

【0038】(第2実施形態)本実施形態では、第1実施形態と異なる方法によって、エピタキシャル膜(表面チャネル層)5を成長させるウェハ表面の状態を良好にする。従って、ウェハ表面の状態を良好にする製造工程を図3に示し、この工程についてのみ説明する。

【0039】[図3(a)に示す工程]まず、LTO膜20を除去し、RIE法によってウェハ表面全面(n-型炭化珪素エピ層2及びp-型炭化珪素ベース領域3a、3bの表面)を数nm程度、プラズマエッティングする。このとき、RIEガスとして、SF₆、CF₄、CH₃等のフッ素系ガスのみ、又はフッ素系ガスに水素を付加したもの若しくはフッ素系ガスに酸素を付加したもの用いている。この工程により、ウェハ表面の凹凸やp-型炭化珪素ベース領域3a、3bを形成したときににおける表面荒れが除去される。

【0040】[図3(b)に示す工程]次に、RCA洗浄したのち、1100°C程度、4時間のウェット酸化を行う。これにより、ウェハ表面に犠牲酸化膜3cが形成される。

[図3(c)に示す工程]その後、希フッ酸により犠牲酸化膜3cをエッティング除去する。これにより、RIE法によるエッティング時に生じたダメージが除去され、ウェハ表面は滑らかで結晶性が良好なものとなる。

【0041】そして、図3(c)に示す工程を行って、エピタキシャル膜(表面チャネル層)5を成長させると、エピタキシャル膜(表面チャネル層)5も結晶性の優れたものとなる。これにより第1実施形態と同様に、プレーナ型パワーMOSFETの高移動度化を図ることができる。

【0042】(他の実施形態)上記実施形態では、n+型ソース領域4a、4bを形成する前に表面チャネル層

5をエピタキシャル成長させるようにしているが、 n^+ 型ソース領域4a、4bを形成しておいた後に、 n^- 型ソース領域4a、4bや p^- 型炭化珪素ベース領域3a、3b及び n^- 型炭化珪素エビ層2の表面上に表面チャネル層40をエピタキシャル成長させるようにしてもよい。

【0043】また、上記実施形態において、プレーナ型MOSFETを例に挙げて説明したが、チャネル層を基板表面に対して垂直とした、いわゆるトレンチ型（コンケープ型）縦型MOSFETに本発明の一実施形態を適用してもよい。なお、上記実施形態では、面方位を特定して説明したが、実施において基板面方位の特定を行わなくても上記効果を奏すことができる。

【図面の簡単な説明】

【図1】第1実施形態におけるプレーナ型パワーMOSFETの製造工程を示す図である。

【図2】表面チャネル層5におけるX線ロッキングカーブを示す比較図であって、(a)はウェハ表面の処理を行った場合、(b)はウェハ表面処理を行つ

ていない場合の図である。

【図3】第2実施形態におけるプレーナ型パワーMOSFETの製造工程を示す図である。

【図4】本出願人が先に出願した縦型パワーMOSFETの構成を示す断面図である。

【図5】図4に示す縦型パワーMOSFETの製造工程を示す図である。

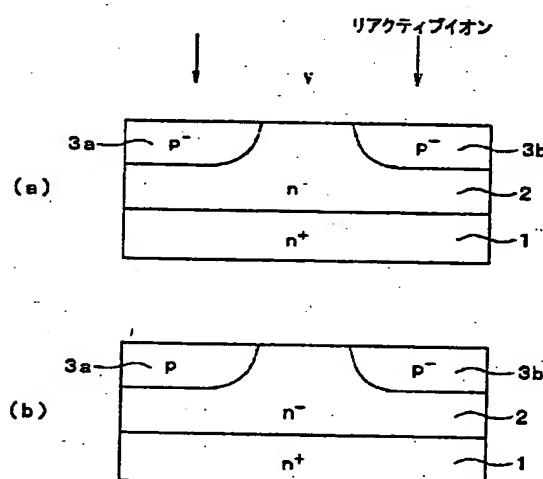
【図6】図5に続く縦型パワーMOSFETの製造工程を示す図である。

【図7】図6に続く縦型パワーMOSFETの製造工程を示す図である。

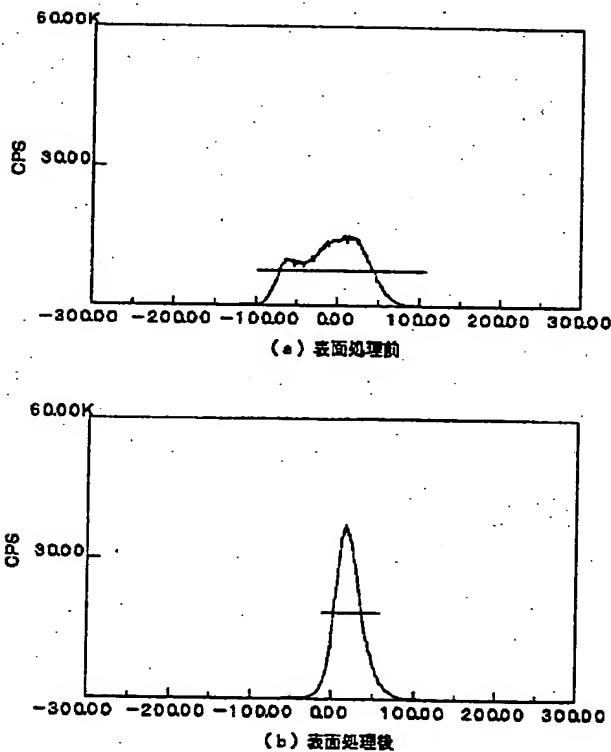
【符号の説明】

1… n^+ 型炭化珪素半導体基板、2… n^- 型炭化珪素エピタキシャル層、3a、3b… p^- 型炭化珪素ベース領域、4a、4b… n^+ 型ソース領域、5…表面チャネル層(n^- 型SiC層)、7…ゲート絶縁膜、8…ゲート電極、9…絶縁膜、10…ソース電極、11…ドレイン電極。

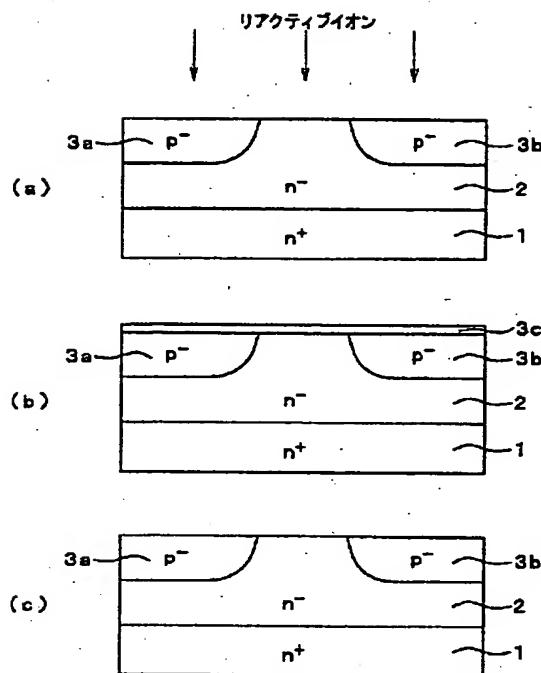
【図1】



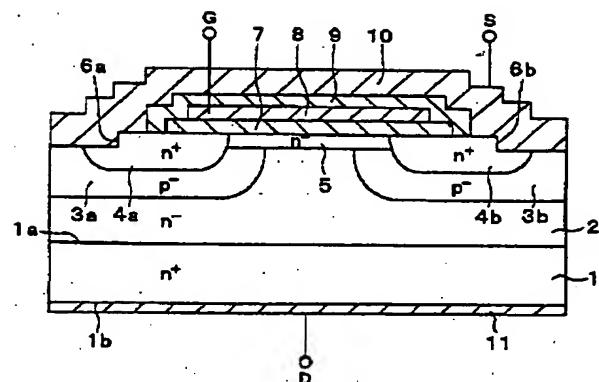
【図2】



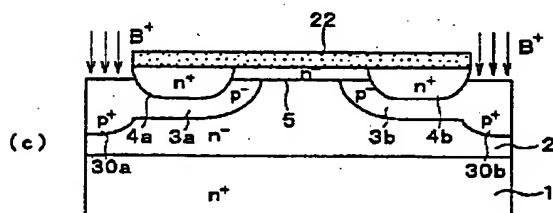
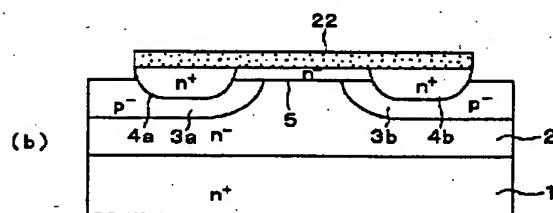
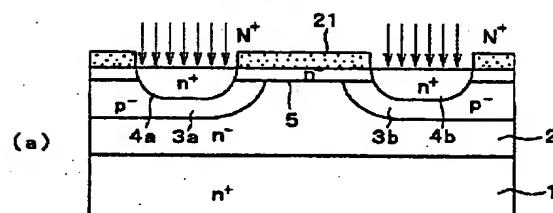
【図3】



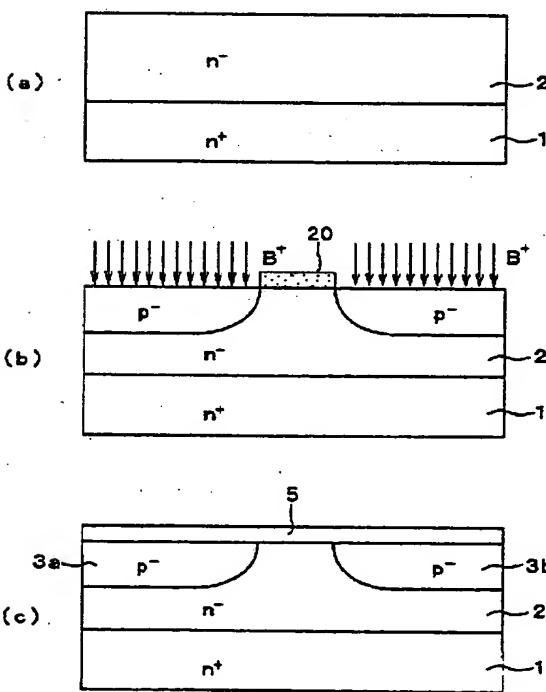
【図4】



【図6】



【図5】



【図7】

